

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-68978

(P2001-68978A)

(43)公開日 平成13年3月16日(2001.3.16)

(51)Int.Cl.⁷

H 0 3 K 5/02
19/0185

識別記号

F I

H 0 3 K 5/02
19/00

テーマコード(参考)

L
1 0 1 D

4-7

審査請求 未請求 請求項の数4 O L (全 6 頁)

(21)出願番号

特願平11-241324

(22)出願日

平成11年8月27日(1999.8.27)

(71)出願人

000232036

日本電気アイシーマイコンシステム株式
社

神奈川県川崎市中原区小杉町1丁目403番
53

(72)発明者

原澤 禎

神奈川県川崎市中原区小杉町一丁目403番
53 日本電気アイシーマイコンシステム株
式会社内

(74)代理人

100081433

弁理士 鈴木 章夫

最終頁に続く

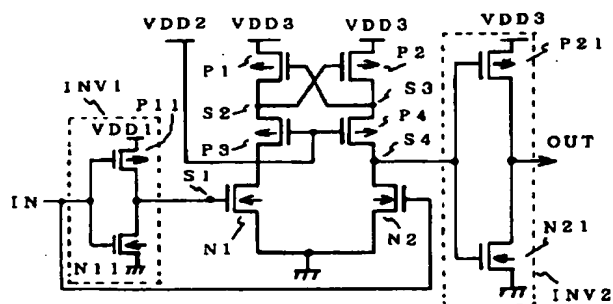
(54)【発明の名称】 レベルシフタ回路

(57)【要約】

(修正有)

【課題】 トランジスタのサイズを大とせず貫通電流を抑制し、かつ回路構成を複雑にせず高集積化を実現可能にする。

【解決手段】 第1のインバータINV1によってGNDとVDD1間で変化する相補信号の入力信号がゲートに入力されソースがGNDに接続された対をなす第1、第2のNMOSTランジスタN1、N2と、ソースがVDD3に接続されゲートが対向するトランジスタのドレインに交差接続された対をなす第1、第2のPMOSTランジスタP1、P2と、ゲートがVDD2に接続されドレインが第1、第2のNMOSTランジスタの各ドレインと接続されソースが第1、第2のPMOSTランジスタP1、P2の各ドレインと接続された対をなす第3、第4のPMOSTランジスタP3、P4とを備える。ここで、 $VDD3 > VDD2 > VDD1$ である。



1

【特許請求の範囲】

【請求項1】 GNDと第1の電源電圧(VDD1)間
で変化する相補信号からなる入力信号がそれぞれゲート
に入力されソースがGNDに接続された対をなす第1及
び第2の一導電型MOSトランジスタと、ソースが第3
の電源電圧(VDD3)に接続されゲートが対向するト
ランジスタのドレインに交差接続された対をなす第1及
び第2の反対導電型MOSトランジスタと、ゲートが第
2の電源電圧(VDD2)に接続されドレインが前記第
1及び第2の一導電型MOSトランジスタの各ドレイン
と接続されソースが前記第1及び第2の反対導電型MO
Sトランジスタの各ドレインと接続された対をなす第3
及び第4の反対導電型MOSトランジスタとを備え、前
記VDD3、VDD2、VDD1の絶対レベルは、VD
D3>VDD2>VDD1の関係にあり、前記第1または
第2の一導電型MOSトランジスタのドレインから出
力信号を出力することを特徴とするレベルシフト回路。

【請求項2】 前記GNDとVDD1間で動作する第1
のインバータと、前記GNDとVDD3間で動作する第
2のインバータとを有し、前記第1のインバータの入力
端に前記入力信号が入力され、前記第1のインバータの
入力端が前記第1の一導電型MOSトランジスタのゲート
に、出力端が前記第2の一導電型MOSトランジスタ
のゲートにそれぞれ接続され、前記第2の一導電型MO
Sトランジスタのドレインが前記第2のインバータの入
力端に接続され、前記第2のインバータの出力端から出
力信号を出力することを特徴とする請求項1に記載のレ
ベルシフト回路。

【請求項3】 前記第1の反対導電型MOSトランジ
スタと第1の一導電型MOSトランジスタ、及び前記第2
の反対導電型MOSトランジスタと第2の一導電型MO
Sトランジスタのそれぞれの能力比を小さく設計したこ
とを特徴とする請求項1又は2に記載のレベルシフト回
路。

【請求項4】 前記一導電型MOSトランジスタがNM
OSTランジスタであり、前記反対導電型MOSトラン
ジスタがPMOSTランジスタであることを特徴とする
請求項1ないし3のいずれかに記載のレベルシフト回
路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は一の電圧レベル信号
を異なる電圧レベル信号に変換するためのレベルシフト
回路に関し、特に回路を構成するトランジスタのサイズ
を縮小化を実現したレベルシフト回路に関するものであ
る。

【0002】

【従来の技術】近年のLSI(半導体集積回路)では、
LSIの消費電力を低減する為に、LSI内部にボルテ
ージレギュレータを設けて外部からの電圧より低い電圧

2

を生成し、内部LSIの電源として使用している。その
ため、LSI内部から外部に信号を出力する時は外部電
源電圧と同じレベルにする必要があり、レベルシフト回
路を使用して信号を高レベル化して出力している。従来
のこの種のレベルシフト回路を図3に示す。同図におい
て、INV1はLSIの内部電源の第1の電源電圧VD
D1で駆動される第1のインバータであり、PMOST
ランジスタP11とNMOSTランジスタN11をCM
OS接続し、LSIから信号INが入力され、その反転
信号を節点S1に出力するものである。また、INV2
は外部電源と同じ電圧の第3の電源電圧VDD3で駆動
される第2のインバータであり、PMOSTランジスタ
P21とNMOSTランジスタN22をCMOS接続
し、節点S3に入力される信号を反転して出力OUTと
して出力するものである。そして、前記インバータIN
V1の出力とインバータINV3の間にレベルシフト部
が接続されており、互いに対をなす第1及び第2のPM
OSTランジスタP1、P2と第1及び第2のNMOS
トランジスタN1、N2で構成されている。

【0003】すなわち、前記シフト部は、対をなす第1
及び第2のPMOSTランジスタP1、P2のゲートと
ドレインが互いに交差接続され、かつ各ドレインには前
記第1及び第2のNMOSTランジスタN1、N2の各
ドレインが接続されている。前記PMOSTランジスタ
P1、P2の各ソースはVDD3に接続され、前記NM
OSTランジスタN1、N2の各ソースはGNDに接続
される。そして、前記NMOSTランジスタN1、N2
の各ゲートは前記第1のインバータINV1の入力IN
と出力である節点S1に接続される。なお、前記NMO
SトランジスタN2のドレインは前記第2のインバータ
INV2の入力である節点S3に接続されている。

【0004】この従来のレベルシフト回路の動作を図4
のIN、S2、S3、OUTの波形図を参照して説明す
る。信号INがGNDレベルの時、NMOSTランジ
スタP1、PMOSTランジスタP2はONしており、N
MOSTランジスタN2、PMOSTランジスタP1は
OFFしている。信号INがGNDレベルからVDD1
レベルに変化した時、NMOSTランジスタN2はON
するとともにINからの信号は第1のインバータINV
1によってGNDレベルとなりNMOSTランジスタN
1はOFFする。この時、NMOSTランジスタN2、
PMOSTランジスタP2は共にON状態である。(こ
の時貫通電流が流れる)NMOSTランジスタP2の方
がPMOSTランジスタP2よりトランジスタ能力が高
いため、節点S3の電位はGND方向へ向かう。節点S
3の電位がGND方向に向かうことでPMOSTランジ
スタP1がONして、節点S2の電位はVDD3レベル
となり、PMOSTランジスタP2はOFFする。PM
OSTランジスタP2がOFFすることで、節点S3の
電位はGNDレベルとなり、信号OUTはVDD3レベ

ルになる。

【0005】

【発明が解決しようとする課題】このような従来のレベルシフト回路の動作において、図4に示したPMOSTランジスタP2、PMOSTランジスタP1のゲート電圧となる節点S2、S3の電位は、VDD3～GND間で動作している為、信号INがGNDレベルからVDD1レベルに変化した時に、NMOSTランジスタN2とPMOSTランジスタP2が共にON状態となり、この時にVDD3とGNDの間にPMOSTランジスタP2とNMOSTランジスタN2を通して貫通電流が多く流れるという問題がある。このような貫通電流は、NMOSTランジスタN1、N2とPMOSTランジスタP1、P2の能力比を大きくすることによって抑制することが可能であるが、これではいたずらにトランジスタサイズが大きくなり、LSIの高集積化を図る上で好ましくない。特に、VDD1とVDD3の電位差が大きい場合には、前記能力比をより大きいものにする必要があり、トランジスタサイズがさらにおおきなものとなる。

【0006】本発明の目的は、シフト部を構成するトランジスタのサイズを大きくすることなく貫通電流を抑制することを可能とし、高集積化に適したレベルシフト回路を提供するものである。

【0007】

【課題を解決するための手段】本発明のレベルシフト回路は、GNDと第1の電源電圧VDD1間で変化する相補信号からなる入力信号がそれぞれゲートに入力されソースがGNDに接続された対をなす第1及び第2の一導電型MOSTランジスタと、ソースが第3の電源電圧VDD3に接続されゲートが対向するトランジスタのドレインに交差接続された対をなす第1及び第2の反対導電型MOSTランジスタと、ゲートが第2の電源電圧VDD2に接続されドレインが前記第1及び第2の一導電型MOSTランジスタの各ドレインと接続されソースが前記第1及び第2の反対導電型MOSTランジスタの各ドレインと接続された対をなす第3及び第4の反対導電型MOSTランジスタとを備え、前記VDD3、VDD2、VDD1は絶対レベルが、 $VDD3 > VDD2 > VDD1$ の関係にあり、前記第1または第2の一導電型MOSTランジスタのドレインから出力信号を出力するレベルシフト部を備えることを特徴とする。

【0008】前記レベルシフト部に対して、GNDとVDD1間で動作する第1のインバータと、GNDとVDD3間で動作する第2のインバータとを有し、前記第1のインバータの入力端に前記入力信号が入力され、前記第1のインバータの入力端が前記第1の一導電型MOSTランジスタのゲートに、出力端が前記第2の一導電型MOSTランジスタのゲートにそれぞれ接続され、前記第2の一導電型MOSTランジスタのドレインが前記第2のインバータの入力端に接続され、前記第2のインバ

ータの出力端から出力信号を出力することを特徴とする。また、前記第1及び第2の各一導電型MOSTランジスタと反対導電型MOSTランジスタのそれぞれの能力比を小さく設計する。

【0009】本発明では、一導電型MOSTランジスタをNMOSTランジスタとし、反対導電型MOSTランジスタをPMOSTランジスタとした場合に、第3及び第4のPMOSTランジスタを備え、そのゲート電圧としてVDD2を印加したことにより、第1及び第2のPMOSTランジスタのゲート電圧はVDD3～($VDD2 +$ 第3及び第4のPMOSTランジスタのしきい値電圧)となりゲート・ソース間電圧を低く抑えることができるので貫通電流を減らすことができる。また、電位差の大きいレベルシフト回路を設計する時は、通常第1のPMOSTランジスタと第1のNMOSTランジスタ間、又は、第2のPMOSTランジスタと第2のNMOSTランジスタ間の能力比大きく取る必要があったが、本発明では第1及び第2のPMOSTランジスタのゲート、ソース間の電圧を低くしている為、能力比を小さくできトランジスタサイズを小さく設計できるという利点がある。

【0010】なお、本発明に近い技術として、特開平6-318055号公報に記載のレベルシフト回路では、本発明の第3及び第4のPMOSTランジスタに対応する第3及び第4のスイッチング素子を接続した構成が記載されているが、この従来技術では第3及び第4のスイッチング素子のゲートに、入力信号の信号状態に応じて形成された制御信号を入力して第3及び第4のスイッチング素子をON、OFF制御する構成であるため、制御信号を生成するための回路が必要であり、回路が複雑化することになる。この点において、本発明では、第3及び第4のPMOSTランジスタのゲートにはVDD2を入力するのみでよく、回路構成が複雑化することはない。

【0011】

【発明の実施の形態】次に、本発明の実施形態を図面を参照して説明する。図1は本発明のレベルシフト回路の回路図である。第1のインバータINV1及び第2のインバータINV2は従来と同じであり、第1のインバータINV1はLSIの内部電源である第1の電源電圧VDD1で駆動され、PMOSTランジスタP11とNMOSTランジスタN11をCMOS接続し、LSIから信号INが入力され、その反転信号を節点S1に出力するものである。また、第2のインバータINV2は外部電源と同じ電圧の第3の電源電圧VDD3で駆動され、PMOSTランジスタP21とNMOSTランジスタN21をCMOS接続し、節点S4に入力される信号を反転して出力OUTとして出力するものである。そして、前記第1のインバータINV1の出力と第2のインバータINV2の間にレベルシフト部が接続されている。

5

【0012】前記レベルシフト部は、それぞれ対をなす第1及び第2のPMOSTランジスタP1、P2と、同じく第3及び第4のPMOSTランジスタP3、P4と、第1及び第2のNMOSTランジスタN1、N2とで構成されている。前記第1及び第2のPMOSTランジスタP1、P2のゲートとドレインは互いに交差接続され、かつ各ソースは電源VDD3に接続されている。また、各ドレインは節点S2、S3、すなわちゲートを共通接続して第2の電源電圧VDD2に接続された前記第3及び第4のPMOSTランジスタP3、P4の各ソ

10

ースに接続され、さらにこれら第3及び第4のPMOSTランジスタP3、P4の各ドレインは前記第1及び第2のNMOSTランジスタN1、N2のドレインに接続されている。前記第1及び第2のNMOSTランジスタN1、N2の各ソースはGNDに接続され、またこれら第1及び第2のNMOSTランジスタN1、N2の各ゲートは前記第1のインバータINV1の入力INの入力端と、出力である接点S1に接続される。なお、前記NMOSTランジスタN2のドレインは前記インバータINV2の入力である節点S4に接続されている。こ

20

こで、前記VDD3、VDD2、VDD1、GNDの電圧レベルの条件は $VDD3 > VDD2 > VDD1 > GND$ に設定されている。

【0013】以上の構成のレベルシフト回路の動作を図2に示す節点S1、S2、S3、S4と出力OUTの各波形図を参照して説明する。なお、図中、 $V_{T'}$ は第3及び第4のPMOSTランジスタP3、P4のしきい値電圧を示す。信号INがGNDレベルであり定常状態になると、NMOSTランジスタN2はゲートにGNDレ

30

ベルが入力されるためOFFし、NMOSTランジスタN1はゲートにVDD1が入力されるためONする。これにより、PMOSTランジスタP1、PMOSTランジスタP3はOFFし、PMOSTランジスタP2、PMOSTランジスタP4はONする。信号INがGNDレベルからVDD1レベルに変化した時、NMOSTランジスタN2はONするとともに、節点S1はINからの信号がインバータINV1を経由するのでGNDレベルとなりNMOSTランジスタN1はOFFする。この時NMOSTランジスタN2、PMOSTランジスタP4、PMOSTランジスタP2はONしている状態だ

40

が、NMOSTランジスタN2の方がPMOSTランジスタP2よりトランジスタの能力が高いため節点S3の電位は、 $(VDD2 + V_{T'})$ のレベルに向かい、PMOSTランジスタP1がONして節点S2の電位はVDD3レベルとなりPMOSTランジスタP2はOFFする。PMOSTランジスタP2がOFFすると節点S4はGNDレベルとなり出力OUTの信号はVDD3レベルとなる。

【0014】このように、NMOSTランジスタN1とPMOSTランジスタP1間にPMOSTランジスタP

50

6

3を、NMOSTランジスタN2とPMOSTランジスタP2間にPMOSTランジスタP4をそれぞれ設け各々のゲート電圧として電源VDD2を印加することで、図2の動作波形から判るように、PMOSTランジスタP1、P2のゲート電圧としての節点S2、S3のレベルは、 $(VDD3 - (VDD2 + V_{T'}))$ 間で動作している為、PMOSTランジスタP1、P2のゲート電圧が低くなり入力信号の切り替わり時の貫通電流を小さくできる。さらに、入力と出力信号の電位差の大きい時でもPMOSTランジスタP1、P2のゲート、ソース間の電圧が低く抑えられるので、トランジスタの能力比を小さくでき、トランジスタサイズを小さくして高集積化のLSIの設計が可能となる。

【0015】ここで、前記実施形態の電位レベルの極性を反転した構成とすることも可能であり、この場合には本発明のPMOSTランジスタをNMOSTランジスタに、NMOSTランジスタをPMOSTランジスタに置き換えることで構成することが可能である。

【0016】

【発明の効果】以上説明したように本発明は、第1及び第2の一導電型MOSTランジスタと、第1及び第2の反対導電型MOSTランジスタで構成されるレベルシフト回路に、第3及び第4の反対導電型MOSTランジスタを介挿し、かつこれら第3及び第4の反対導電型MOSTランジスタのゲートにVDD2 ($VDD3 > VDD2 > VDD1$)を入力した構成としているので、第1及び第2の反対導電型MOSTランジスタのゲート電圧は $VDD3 - (VDD2 + \text{第3及び第4の反対導電型MOSTランジスタのしきい値電圧})$ となりゲート・ソース間電圧を低く抑えることができるので貫通電流を減らすことができる。また、電位差の大きいレベルシフト回路を設計する時は、通常第1及び第2の各反対導電型MOSTランジスタと一導電型MOSTランジスタ間の能力比大きく取る必要があったが、本発明では第1及び第2の反対導電型MOSTランジスタのゲート、ソース間の電圧を低くしている為、能力比を小さくできトランジスタサイズを小さく設計できるという効果も得られる。さらに、第3及び第3の反対導電型MOSTランジスタには、一定の電圧レベル(VDD2)を供給するのみでよい

よいため、回路構成が複雑化することもない。

【図面の簡単な説明】

【図1】本発明のレベルシフト回路の実施形態の回路図である。

【図2】本発明のレベルシフト回路の各部の動作波形を示す波形図である。

【図3】従来のレベルシフト回路の一例の回路図である。

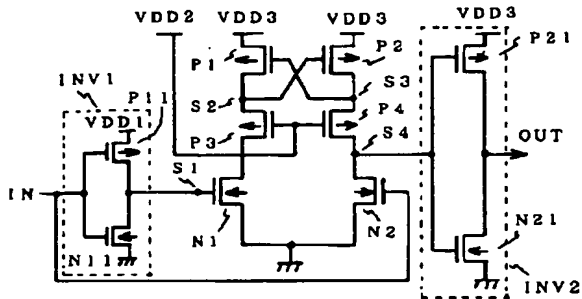
【図4】従来のレベルシフト回路の各部の動作波形を示す波形図である。

【符号の説明】

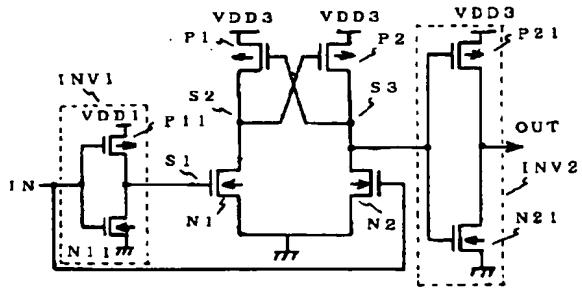
7

N1 第1のNMOSトランジスタ
 N2 第2のNMOSトランジスタ
 P1 第1のPMOSTランジスタ
 P2 第2のPMOSTランジスタ
 P3 第3のPMOSTランジスタ
 P4 第4のPMOSTランジスタ

【図1】



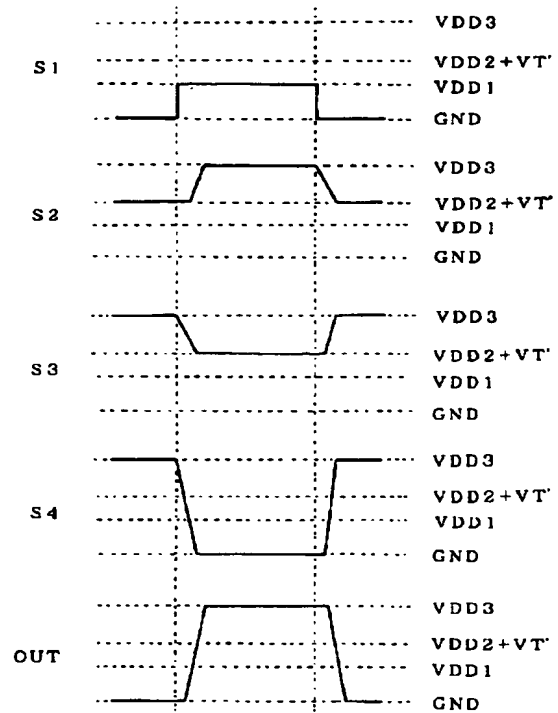
【図3】



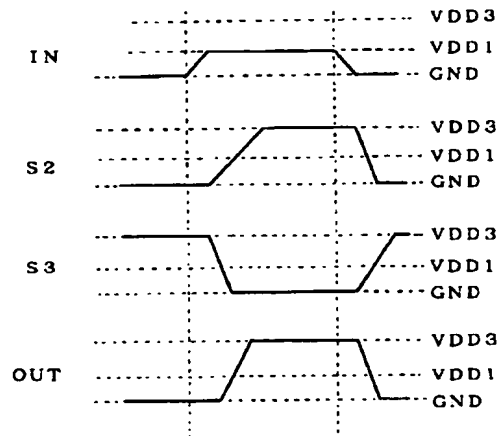
8

*N11, N12 NMOSTランジスタ
 P11, P12 PMOSTランジスタ
 INV1 第1のインバータ
 INV2 第2のインバータ
 VDD1~VDD3 電源電圧

【図2】



【図4】



フロントページの続き

(72)発明者 猿渡 和幸

神奈川県川崎市中原区小杉町一丁目403番

53 日本電気アイシーマイコンシステム株
式会社内